

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11154043 A

(43) Date of publication of application: 08.06.99

(51) Int. Cl

G06F 3/00

(21) Application number: 09319491

(71) Applicant: NEC CORP

(22) Date of filing: 20.11.97

(72) Inventor: MINOWA MASAYUKI

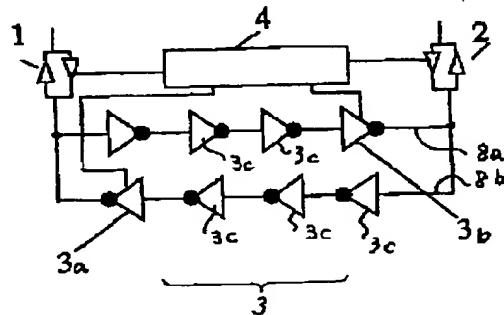
(54) FAST BUS TRANSMISSION SYSTEM

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a bus system which performs fast transmission between two-way buffers.

SOLUTION: When a repeater 3 is interposed between the two-way buffers 1 and 2, tri-state buffers 3a and 3b are used for only the repeater which is closest to the two-way buffers 1 and 2 and inputs signals to the two-way buffers 1 and 2 and the control signal from an arbiter 4 is inputted to only the tri-state buffers 3a and 3b to minimize the delay between the two-way buffers 1 and 2.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-154043

(43)公開日 平成11年(1999)6月8日

(51)Int.Cl.⁶

G 0 6 F 3/00

識別記号

F I

G 0 6 F 3/00

M

審査請求 有 請求項の数 5 O L (全 5 頁)

(21)出願番号 特願平9-319491

(22)出願日 平成9年(1997)11月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 箕輪 政幸

東京都港区芝五丁目7番1号 日本電気株
式会社内

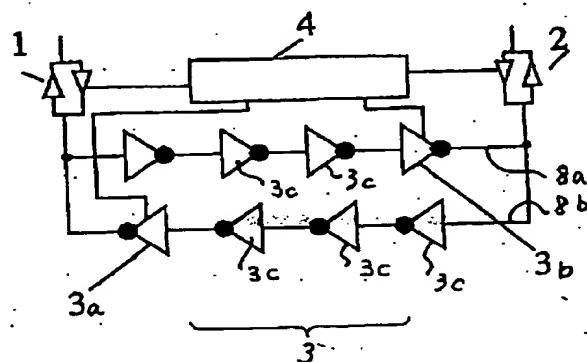
(74)代理人 弁理士 普野 中

(54)【発明の名称】 高速バス伝送方式

(57)【要約】

【課題】 双方向バッファ間に高速な伝送を行うバスシステムを提供する。

【解決手段】 双方向バッファ1, 2間にリピータ3を挿入する場合、各双方向バッファ1, 2に一番近く、かつその双方向バッファ1, 2へ信号を入力する側のリピータのみを3ステップバッファ3a, 3bとし、アビタ4からの制御信号を必要最低限な3ステップバッファ3a, 3bにのみ挿入することにより、双方向バッファ1, 2間の遅延を最小化する。



【特許請求の範囲】

【請求項1】 バスと、リピータとを有する高速バス伝送方式であって、
バスは、信号を相互に逆方向に伝送する対をなす信号線からなるものであり、
リピータは、前記バスの対をなす信号線に設けられ、信号伝送を制御するものであることを特徴とする高速バス伝送方式。

【請求項2】 前記リピータは、3 stateバッファとインバータとの組み合わせから構成されたものであることを特徴とする請求項1に記載の高速バス伝送方式。

【請求項3】 前記リピータは、3 stateバッファとNANDゲートとインバータとの組み合わせから構成されたものであることを特徴とする請求項1に記載の高速バス伝送方式。

【請求項4】 前記リピータは、3 stateバッファとNORゲートとインバータとの組み合わせから構成されたものであることを特徴とする請求項1に記載の高速バス伝送方式。

【請求項5】 前記インバータは、配線遅延の度合に応じて設置台数が決定されるものであることを特徴とする請求項1に記載の高速バス伝送方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、LSI内部の高速バス伝送方式に関する。

【0002】

【従来の技術】 図4に示す従来例では、アービタ4とバスリピータ6とバス8とを有しており、バス8に接続される基板7の枚数制限を受けないためにバス8の途中にバスリピータ6を設けていた（特開平6-28304）。

【0003】 また図5に示す従来例では、プロセッサ10、11、12間にて同時に双方向にデータやアドレスを伝送するためにバスコントローラ13、14、15をバス16、17に接続して設けていた（特開平4-5745）。

【0004】 また図6に示す従来例では、双方向バッファ1、2間にバスリピータ20を配置し、全て同一のバスリピータ20を使用していた（IEEE Trans. Computer Aided Design 1996 Vol. 7 pp 429-437）。

【0005】

【発明が解決しようとする課題】 しかしながら、図4、図5に示す従来例は、双方のデータ伝送を意図しているが、特に高速化が図られていなかった。

【0006】 また図6に示す従来例では、高速な双方のデータ伝送を実現しているが、最適化が図られていなかった。

【0007】 本発明の目的は、双方のバッファ間にて高

速なデータ伝送を行う高速バス伝送方式を提供することにある。

【0008】

【課題を解決するための手段】 前記目的を達成するため、本発明に係る高速バス伝送方式は、バスと、リピータとを有する高速バス伝送方式であって、バスは、信号を相互に逆方向に伝送する対をなす信号線からなるものであり、リピータは、前記バスの対をなす信号線に設けられ、信号伝送を制御するものである。

【0009】 また前記リピータは、3 stateバッファとインバータとの組み合わせから構成されたものである。

【0010】 また前記リピータは、3 stateバッファとNANDゲートとインバータとの組み合わせから構成されたものである。

【0011】 また前記リピータは、3 stateバッファとNORゲートとインバータとの組み合わせから構成されたものである。

【0012】 また前記インバータは、配線遅延の度合に応じて設置台数が決定されるものである。

【0013】 本発明によれば、アービタ（制御回路）からの制御信号を必要最低限なりピータにのみ挿入することにより、双方のバッファ間の遅延を最小化する。

【0014】

【発明の実施の形態】 以下、本発明の実施の形態を図により説明する。

【0015】 （実施形態1） 図1は、本発明の実施形態1を示す構成図である。

【0016】 図1に示す本発明の実施形態1に係る高速バス伝送方式は、対をなす双方のバッファ1、2と、アービタ（制御回路）4と、リピータ3とを有している。

【0017】 対をなす双方のバッファ1、2は、アービタ（制御回路）4からの出力信号に基いて、バス上のアドレスやデータを授受し増幅してバスに出力するとともに、バス上の信号伝搬方向を切替える機能を有しており、対をなす双方のバッファ1、2間には、2本のバス8a、8bを形成している。

【0018】 また双方のバッファ1、2間にデータを伝送する場合、微細化により配線遅延を抑制するために、リピータ3は双方のバッファ1、2間に設けられるが、本発明の実施形態1では、双方のバッファ1、2間に2本のバス8a、8bを形成し、2本のバス8a、8bをそれぞれ单一方向での伝送路として形成し、かつ各バス8a、8bにリピータ3を单一方向への信号伝送を可能とする接続形態で設置している。

【0019】 本発明の実施形態1に用いるリピータ3は、3 stateバッファ3a、3bとインバータ3cとの組み合わせから構成されている。図1に示すリピータ3は、各バス8a、8bに接続されるリピータ3のうち、双方のバッファ1、2に一番近いリピータを3st

ateバッファ3a、3bにて構成し、それ以外のリピータ3は単一方向のリピータと同様にインバータ3cにて構成している。図1において、各バス8a、8bに接続されるインバータ3cは、3stateバッファ3a、3bを含めて4台設置しているが、インバータ3cの設置台数は、バス8a、8b上での配線遅延の度合に応じて決定される。

【0020】またアービタ4は、2本のバス8a、8b上での信号伝搬方向を制御するものであり、一のバス8a(又は8b)上での信号伝搬を行う場合には、一の3stateバッファ3b(又は3a)をONにし、他の3stateバッファ3a(又は3b)をOFFにし、信号伝搬方向を制御するようになっている。

【0021】図1において、双方向バッファ1側から双方向バッファ2側に信号伝搬を行う場合を説明する。この場合、アービタ4は、一方のバス8a上の3stateバッファ3bをONにし、他方のバス8b上の3stateバッファ3aをOFFにする。これにより、信号は、双方向バッファ1、インバータ3c、3stateバッファ3bを伝送して双方向バッファ2側に伝搬される。バス8a上を信号が伝搬する際の配線遅延は、インバータ3c、3bによって抑制される。一方、バス8b上の3stateバッファ3aがOFFされているため、バス8b上の信号は、3stateバッファ3aによって伝搬が阻止される。

【0022】また、双方向バッファ2側から双方向バッファ1側に信号伝搬を行う場合には、アービタ4は、一方のバス8b上の3stateバッファ3aをONにし、他方のバス8a上の3stateバッファ3bをOFFにすることにより、バス8b上での信号伝搬が行われる。

【0023】次に、具体例を用いて信号伝搬について説明する。図1に示す構成において、半導体装置の1セルあたりの信号伝搬遅延が、インバータ3cで0.1ns、3stateバッファ3a、3bで0.2ns、バス8a、8bでの配線遅延が0.1nsとする。また配線遅延は、配線(バス8a、8b)の抵抗と容量との積に比例するため、配線長が2倍になれば、配線遅延は4倍になるものとする。

【0024】以上の条件の下に、例えば双方向バッファ1、2間に3stateバッファ3a、3bとインバータ3cとを挿入しない状態にて、配線(バス8a、8b)長を10mmとした場合、信号伝搬遅延は10nsとなる。

【0025】また上述した文献(IEEE Trans. Computer Aided Design 1996 Vol. 7 pp429-437, 図6参照)によると、双方向バッファ1、2間にバスリピータ20を配置し、全て同一のバスリピータ20を使用した場合、1個のリピータの遅延は0.3ns、配線遅延が2mm

当たり0.4nsであるため、トータルで3.2nsとなる。

【0026】これに対して本発明の実施形態1のように、3stateバッファ3a、3bとインバータ3cとを各バス8a、8bに2mm間隔で4個挿入した場合には、トータルで2.5nsとなり、22%の遅延分が削減されることが実験の結果から判明した。

【0027】以上のように本発明の実施形態1では、双方向バッファ1、2間の間隔が広い、すなわち、配線(バス)長が長いほど効果が著しく大きくなる。

【0028】(実施形態2)図2は、本発明の実施形態2を示す構成図である。図2に示す本発明の実施形態2に用いたリピータ3は、3stateバッファ3a、3bと、NANDゲート5a、5bと、インバータ3cとの組み合わせから構成したものである。

【0029】図2に示す本発明の実施形態2において、双方向バッファ1側から双方向バッファ2側に信号伝搬を行う場合、アービタ4からの出力信号に基いて、一方のバス8a上の3stateバッファ3b及びNANDゲート5aがONとなり、他方のバス8b上の3stateバッファ3a及びNANDゲート5bがOFFとなる。これにより、信号は、双方向バッファ1、NANDゲート5a、インバータ3c、3stateバッファ3bを伝送して双方向バッファ2側に伝搬される。バス8a上を信号が伝搬する際の配線遅延は、インバータ3c、3bによって抑制される。一方、バス8b上の3stateバッファ3a及びNANDゲート5bがOFFされているため、バス8b上の信号は、3stateバッファ3a及びNANDゲート5bによって伝搬が阻止される。

【0030】また、双方向バッファ2側から双方向バッファ1側に信号伝搬を行う場合には、アービタ4からの出力信号に基いて、一方のバス8b上の3stateバッファ3a及びNANDゲート5bをONにし、他方のバス8a上の3stateバッファ3b及びNANDゲート5aをOFFにすることにより、バス8b上での信号伝搬を行う。

【0031】図2に示す本発明の実施形態2によれば、NANDゲートでの遅延は増えるが、従来の方式に比較してトータルの遅延量を削減できるという利点を有する。

【0032】(実施形態3)図3は、本発明の実施形態3を示す構成図である。図3に示す本発明の実施形態3に用いるリピータ3は、3stateバッファ3a、3bと、NORゲート5c、5dと、インバータ3cとの組み合わせから構成したものである。

【0033】図3に示す本発明の実施形態3において、双方向バッファ1側から双方向バッファ2側に信号伝搬を行う場合、アービタ4からの出力信号に基いて、一方のバス8a上の3stateバッファ3b及びNORゲ

ート 5c が ON となり、他方のバス 8b 上の 3state パッファ 3a 及び NOR ゲート 5d が OFF となる。これにより、信号は、双方向パッファ 1, NOR ゲート 5c, インバータ 3c, 3state パッファ 3b を伝送して双方向パッファ 2 側に伝搬される。バス 8a 上を信号が伝搬する際の配線遅延は、インバータ 3c, 3b によって抑制される。一方、バス 8b 上の 3state パッファ 3a 及び NOR ゲート 5d が OFF されているため、バス 8b 上の信号は、3state パッファ 3a 及び NOR ゲート 5d によって伝搬が阻止される。

【0034】また、双方向パッファ 2 側から双方向パッファ 1 側に信号伝搬を行う場合には、アービタ 4 からの出力信号に基いて、一方のバス 8b 上の 3state パッファ 3a 及び NOR ゲート 5d を ON にし、他方のバス 8a 上の 3state パッファ 3b 及び NOR ゲート 5c を OFF することにより、バス 8b 上での信号伝搬を行う。

【0035】図 3 に示す本発明の実施形態 3 によれば、実施形態 2 と同様に NOR ゲートでの遅延は増えるが、従来の方式に比較してトータルの遅延量を削減できるという利点を有する。

【0036】

【発明の効果】以上説明したように本発明によれば、アービタからの制御信号を必要最低限なりビータにのみ挿入することにより、双方向パッファ間の遅延を最小化することができ、高速な双方向のバス伝送を行うことができる。

【図面の簡単な説明】

【図 1】本発明の実施形態 1 を示す構成図である。

【図 2】本発明の実施形態 2 を示す構成図である。

【図 3】本発明の実施形態 3 を示す構成図である。

【図 4】従来例を示す構成図である。

【図 5】従来例を示す構成図である。

【図 6】従来例を示す構成図である。

【符号の説明】

1, 2 双方向パッファ

3 リビータ

3a, 3b 3state パッファ

3c インバータ

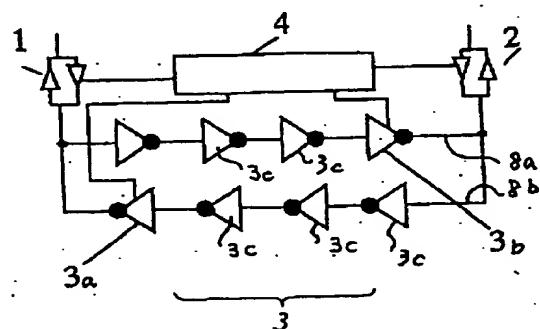
4 アービタ

5a, 5b NAND ゲート

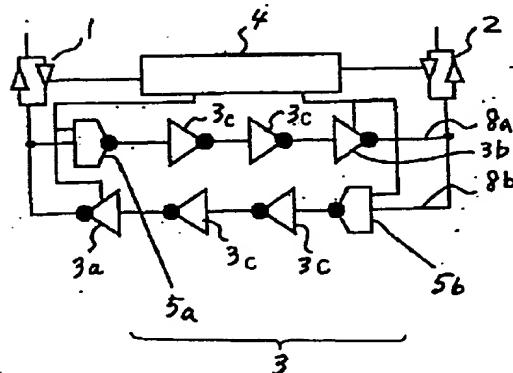
5c, 5d NOR ゲート

8a, 8b バス

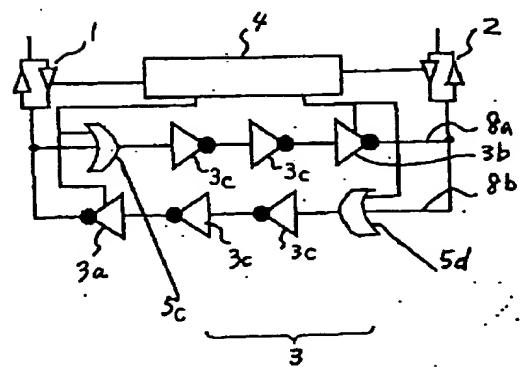
【図 1】



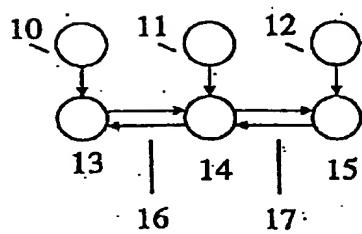
【図 2】



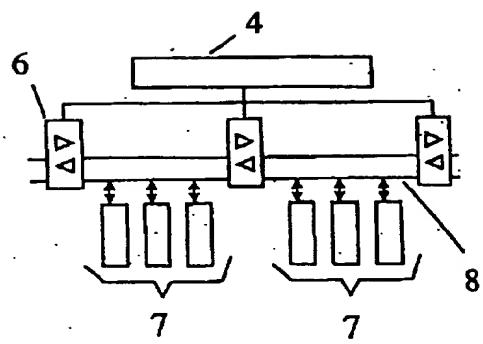
【図 3】



【図 5】



【図4】



【図6】

